
(19) **KOREAN INTELLECTUAL PROPERTY OFFICE**

KOREAN PATENT ABSTRACTS

(11)Publication number: **1019990036970**
(43)Date of publication of application: **25.05.1999** **A**

(21)Application number: **1019980042182**

(71)Applicant: **KABUSHIKI KAISHA TOSHIBA**

(22)Date of filing: **09.10.1998**

(72)Inventor: **YOSHIZAWA AKIHIKO**

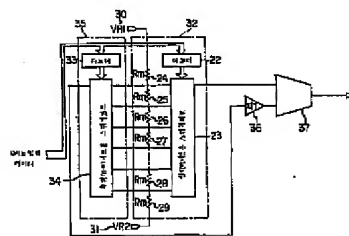
(30)Priority: **..**

(51)Int. Cl **H03M 1/78**

(54) DIGITAL/ANALOG CONVERTER, ESPECIALLY FOR IMPROVING THE LINEARITY PERFORMANCE

(57) Abstract:

PURPOSE: A digital/analog converter is provided to attenuate an analog output of a lower bit and add the attenuated output to an analog output of an upper bit, thereby improving linearity performance of the digital/analog converter. **CONSTITUTION:** A digital/analog converter comprises the followings: a first M-bit digital/analog converter(32) for outputting an analog output by being inputted by an upper M-bit of input data of N-bit; a second (N-M) bit digital/analog converter(35) for outputting an analog output by being inputted by a lower (N-M) bit; an attenuator(36) for attenuating an analog output of the second (N-M) bit digital/analog converter to 1/M of 2; and an analog adder(37) for adding the analog output of the first M-bit digital/analog converter and the analog output the second (N-M) bit digital/analog converter, wherein an addition output the analog adder is outputted to an analog output.



copyright KIPO 2007

Legal Status

Date of request for an examination (19981009)

Notification date of refusal decision ()

Final disposal of an application (registration)
Date of final disposal of an application (20020903)
Patent registration number (1003620930000)
Date of registration (20021111)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ G06F 1/00	(11) 공개번호 특 1999-0036970 (43) 공개일자 1999년 05월 25일
(21) 출원번호 10-1998-0042182	
(22) 출원일자 1998년 10월 09일	
(30) 우선권주장 97-277389 1997년 10월 09일 일본(JP)	
(71) 출원인 가부시끼가이샤 도시바 니시무로 타이조	
(72) 발명자 일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸 72반지 요시자와 아키히코	
(74) 대리인 김윤배, 이범일	일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸 580번 1호 가부시끼 가이샤 도시바 반도체 시스템 기술센터내

심사청구 : 있음

(54) 디지털/아날로그 변환기

요약

본 발명은 디지털/아날로그 변환기의 리니어리티 성능을 개선할 수 있는 디지털/아날로그 변환기를 제공하기 위한 것이다.

본 발명은, N비트의 입력데이터의 상위M비트가 입력되어 아날로그출력을 출력하는 제1M비트 디지털/아날로그 변환기(32)와, 하위(N-M)비트가 입력되어 아날로그출력을 출력하는 제2(N-M)비트 디지털/아날로그 변환기(35), 제2(N-M)비트 디지털/아날로그 변환기(35)의 아날로그출력을 2의 M승분의 1로 감쇠하는 감쇠기(36) 및, 제1M비트 디지털/아날로그 변환기(32)의 아날로그출력과 감쇠기(36)에 의해 감쇠된 제2(N-M)비트 디지털/아날로그 변환기(35)의 아날로그출력을 가산하는 아날로그 가산기(37)를 구비하고, 이 아날로그 가산기(37)의 가산출력을 아날로그출력으로 한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시형태에 따른 디지털/아날로그 변환기의 구성을 나타낸 도면,

도 2는 본 실시형태에 있어서 감쇠기와 아날로그 가산기를 단일 회로로 구성한 경우의 제1예를 나타낸 도면,

도 3은 본 실시형태에 있어서 감쇠기와 아날로그 가산기를 단일의 회로로 구성한 경우의 제2예를 나타낸 도면,

도 4는 본 실시형태에 있어서 감쇠기와 아날로그 가산기를 단일의 회로로 구성한 경우의 제3예를 나타낸 도면,

도 5는 종래예의 디지털/아날로그 변환기의 변환특성을 나타낸 것으로, 상위비트의 한도 변환시에서의 오차전압의 발생을 나타낸 도면,

도 6은 종래의 디지털/아날로그 변환기의 구성을 나타낸 도면이다.

- 1,22 - 상위M비트용 디코더,
- 2,23 - 상위M비트용 스위치회로,
- 3,4,5,6,7,8 - 상위M비트용 단위저항소자,
- 9 - 조정용 저항소자,
- 10,30 - 제1기준전압,
- 11,31 - 제2기준전압,
- 12,32 - 상위M비트용 디지털/아날로그 변환기,
- 13,33 - 하위(N-M)비트용 디코더,

- 14,34 - 하위(N-M)비트용 스위치회로,
- 15,16,17,18,19 - 하위(N-M)비트용 단위저항소자,
- 20,35 - 하위(N-M)비트용 디지털/아날로그 변환기,
- 21,37 - 아날로그 가산기,
- 24,25,26,27,28,29 - 상위·하위경용 저항소자,
- 36 - 감쇠기,
- 38,39,47,48,49 - 버퍼용 전압 플로워 앰프,
- 40,50,57 - 가산용 오피앰프,
- 41,42,43,44,45,46,51,52,53,54,55,56 - 저항소자,
- 58,59,60 - 용량소자,
- 61 - 스위치소자,
- 62,65 - 이상적인 디지털/아날로그 변환기의 변환특성,
- 63 - 종래의 디지털/아날로그 변환기의 변환특성의 제1예,
- 64 - 종래의 디지털/아날로그 변환기의 변환특성의 제2예.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털/아날로그 변환기에 관한 것이다.

도 6은 종래의 디지털/아날로그 변환기의 구성을 나타낸 도면으로, 본 회로에서는 N비트 디지털입력 데이터를 상위 M비트와 하위(N-M)비트로 분할하고, 상위 M비트를 상위비트용 디지털/아날로그 변환기(12)에 입력하며, 하위(N-M)비트를 하위 비트용 디지털/아날로그 변환기(20)에 입력한다. 상위비트용 디지털/아날로그 변환기(12)는 제1기준전압 VR1(10)과 제2기준전압 VR2(11) 사이를 2의 M승개의 단위저항(Rm)을 직렬로 접속한 상위용 저항스트링스(3~8)와, 제1기준전압 VR1(10)과 제2기준전압 VR2(11) 사이를 2의 M승분의 1로 분할시킨 각 전압을 취출하기 위한 2의 M승개의 스위치회로(2) 및, 입력된 M비트 디지털데이터에 대응하는 스위치(2)의 M승개 중으로부터 선택하기 위한 선택신호를 출력하는 디코더(1)로 이루어져 있다. 여기서, Rc(9)는 조정용 저항소자이다.

또한, 하위비트용 디지털/아날로그 변환기(20)는 상위비트용 단위저항소자항(Rm)의 양단에 병렬로 2의(N-M)승개의 단위저항(Rs)을 직렬로 접속한 하위용 저항스트링스(15~19)와, 단위저항(Rm)의 양단 사이를 2의(N-M)승분의 1로 분할된 각 전압을 취출하기 위한 2의(N-M)승개의 스위치회로(14), 입력된(N-M)비트의 디지털데이터에 대응하는 스위치를 2의(N-M)승개 중에서 선택하기 위한 선택신호를 출력하는 디코더(13)로 이루어져 있다.

상기한 구성에 있어서, 상위비트용 디지털/아날로그 변환기(12)로부터는 M비트 분해능의 아날로그출력이 출력되고, 하위비트용 디지털/아날로그 변환기(20)에서는 N비트 분해능의 아날로그출력이 출력되며, 양쪽의 아날로그출력을 아날로그 가산기(21)로 가산함으로써 제1기준전압 VR1(10)과 제2기준전압 VR2(11) 사이의 N비트 분해능의 아날로그출력을 얻을 수 있다.

이와 같은 구성을 이용하는 것에 의해, N비트 분해능의 아날로그출력을 얻기 위해 하나의 디지털/아날로그 변환기로 실현하는 경우에 비교하여, 단위저항소자항의 개수나 스위치의 개수를 현저하게 삭감할 수 있기 때문에 디지털/아날로그 변환기의 온칩화나 저비용화에 효과가 있다.

예컨대, 12비트 분해능의 아날로그출력을 얻는 경우, 하나의 디지털/아날로그 변환기로 실현하면, 2의 12승(=4096)개의 단위저항과 동수의 스위치의 개수가 필요로 된다. 이에 대해, 상위 6비트와 하위 6비트로 분할하여 종래와 같은 구성으로 한 경우에는 2의 6승(=64)×2(상위와 하위분)개의 단위저항과 동수의 스위치의 개수로 구성할 수 있다.

상기한 바와 같이, 하나의 디지털/아날로그 변환기로 디지털 아날로그 변환기능을 실현하는 것 보다도 상위/하위의 2분할 또는 3분할된 쪽이 구성요소의 개수를 현격히 삭감할 수 있지만, 상기된 구성은 이와 같은 문제점이 있다.

우선, 디지털/아날로그 변환기의 성능에 관련하여, 저항스트링스형의 디지털/아날로그 변환기에서는 변환된 아날로그출력의 리니어리티 성능이 중요한 요소이다. 하나의 디지털/아날로그 변환기로 구성된 경우에는 단위저항의 개개의 저항값의 오차가 리니어리티 성능을 제한하고 있다. 이에 대해, 종래의 2분할된 구성에서는 단위저항 개개의 저항값의 오차뿐만 아니라, 다른 오차요인이 개재되는 것에 의해 리니어리티 성능을 악화시키게 된다.

구체적으로는, 하위비트용 저항스트링스가 병렬로 접속되는 상위의 단위저항(Rm)은 하위비트용 저항스트링스가 병렬로 접속되기 때문에 본래의 저항값에 대하여 작게 되는 문제점이 있다. 이 때문에 하위비트용 저항스트링스가 병렬로 접속되는 상위의 단위저항(Rm)에 조정용 저항(Rc)을 직렬로 삽입하여 상위

의 단위저항(R_m)과 조정용 저항(R_c) 및 하위비트용 저항스트링스의 합성저항값이 다른 상위의 단위저항(R_m)과 동일하게 되도록 조절할 필요성이 있다.

더욱이, 종래예에서는 하위비트용 저항스트링스가 병렬로 접속되는 상위의 단위저항(R_m)과 조정용 저항(R_c)의 저항값이 리니어리티 성능에 큰 영향을 미치는데, 이하 이에 대해 설명한다.

도 5a와 도 5b에 디지털/아날로그 변환기의 변환특성을 나타낸다. 하위비트용 저항스트링스가 병렬로 접속되는 상위의 단위저항(R_m)과 조정용 저항(R_c) 및 하위비트용 저항스트링스의 합성저항값이 다른 상위의 단위저항(R_m)의 저항값보다 작은 경우에는, 도 5a에 나타난 바와 같이 이상적인 데이터/아날로그 변환특성(62)으로는 되지 않고, 63으로 나타난 바와 같이 상위비트의 한도변환시에 있어서 오차전압(Verror)을 발생시킨다.

반대로, 다른 상위의 단위저항(R_m)의 저항값보다 큰 경우에는, 도 5b에 나타난 바와 같이 이상적인 디지털/아날로그 변환특성(65)으로 되지 않고, 64로 나타난 바와 같이 오차전압(Verror)을 발생시킴과 더불어 단조증가성도 손상된다.

이와 같은 문제점은 디지털/아날로그 변환기를 LSI 등으로 은칩하는 경우엔 문제로 되고 있다. LSI 등에 은칩하는 경우에는 프로세스적인 오차에 대해 동일한 저항값의 형상을 동일하게 하는 것에 의해 저항값의 절대값이 오차되어도 저항값의 상대값은 변동되지 않도록 레이아웃적인 연구를 하고 있다. 그러나, 하위비트용 저항스트링스가 병렬로 접속되는 상위의 단위저항(R_m)은 조정용 저항(R_c)을 필요로 하기 때문에 상대적인 오차를 작게 하는 것이 곤란하게 되어 있다.

따라서, 종래예에서는 단위저항의 개수나 스위치의 개수를 현저하게 삭감할 수 있기 때문에, 디지털/아날로그 변환기의 저비용화에는 효과가 있어도, 상위의 단위저항(R_m)의 상대적인 오차를 작게 하는 것이 곤란하기 때문에 아날로그출력의 리니어리티 성능을 악화시키고 있다.

또한, 특히 변환 정밀도가 필요한 경우에는 제조 후의 트리밍 등의 방법에 의한 조절을 하는 필요성도 있고, 어느정도 번잡한 것으로 된다.

더욱이, 저항스트링스형 디지털/아날로그 변환기의 동작속도는 저항스트링스의 출력임피던스에 의존한다. 이 때문에 종래예에서는 상위비트용 저항스트링스의 출력임피던스보다 하위비트용 저항스트링스의 출력임피던스 쪽이 높게 되기 때문에 그 동작속도는 하위비트용 저항스트링스의 출력임피던스에 의해 제어되는 것으로 된다. 하위비트용 저항스트링스의 출력임피던스는 그 구성상의 제약으로 용이하게 낮아지지 않으므로, 종래예에서는 동작속도의 고속화가 곤란한 문제가 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 하위비트의 아날로그출력을 감소시킴과 더불어 상위비트의 아날로그출력에 가산하는 것으로, 디지털/아날로그 변환기의 리니어리티 성능을 개선할 수 있는 디지털/아날로그 변환기를 제공함에 그 목적이 있다.

또한, 본 발명은 하위비트용 디지털/아날로그 변환기의 저항스트링스를 상위비트용 디지털/아날로그 변환기의 저항스트링스와 겸용시켜 회로규모를 작게하는 것에 의해 LSI의 칩비용을 절감할 수 있는 디지털/아날로그 변환기를 제공함에 다른 목적이 있다.

또한, 본 발명은 하위비트용 디지털/아날로그 변환기의 저항스트링스를 상위비트용 디지털/아날로그 변환기의 저항스트링스와 겸용시키는 것에 의해 그 출력임피던스를 용이하게 낮추는 것을 가능하게 하여 동작속도의 고속화를 실현한 디지털/아날로그 변환기를 제공함에 또 다른 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한, 제1발명에 따른 디지털/아날로그 변환기는, N비트의 입력데이터의 상위M비트가 입력되어 아날로그출력을 출력하는 제1M비트의 디지털/아날로그 변환기와, 하위(N-M)비트가 입력되어 아날로그출력을 출력하는 제2(N-M)비트 디지털/아날로그 변환기, 이 제2(N-M)비트 디지털/아날로그 변환기의 아날로그출력을 2의 M승분의 1로 감소하는 감쇠기 및, 상기 제1M비트의 디지털/아날로그 변환기의 아날로그출력과 상기 감쇠기에 의해 감소된 제2(N-M)비트의 디지털/아날로그 변환기의 아날로그출력을 가산하는 아날로그 가산기를 구비하여 구성되고, 상기 아날로그 가산기의 가산출력을 아날로그출력으로 한다.

또한, 제2발명에 따른 디지털/아날로그 변환기는, 제1발명에 따른 디지털/아날로그 변환기에 있어서, 상기 제1 또는 제2디지털/아날로그 변환기가, 입력된 디지털데이터를 디코드하는 디코더와, 제1기준전압과 제2기준전압 사이에 입력데이터의 비트 수에 따른 최소 분해능의 전압으로 분압하는 단위저항의 직렬접속으로 구성된 분압회로 및, 이 분압회로의 각 분압출력에 접속되어 상기 디코더의 출력데이터에 따라 분압된 전압을 취출하는 스위치회로를 구비하여 구성되고, 입력된 디지털 데이터에 따라 상기 분압회로의 분압된 전압을 아날로그 출력전압으로서 출력하는 디지털/아날로그 변환기로 이루어진다.

또한, 제3의 발명에 따른 디지털/아날로그 변환기는, 제1발명에 따른 디지털/아날로그 변환기에 있어서, 상기 제1 및 제2디지털/아날로그 변환기가, 입력된 디지털 데이터를 디코드하는 디코더와, 제1기준전압과 제2기준전압 사이에서 입력데이터의 비트 수에 따른 최소 분해능의 전압으로 분압하는 단위저항의 직렬접속으로 구성된 분압회로 및, 이 분압회로의 각 분압출력에 접속되고 상기 디코더의 출력데이터에 따라 분압된 전압을 취출하는 스위치회로를 구비하여 구성되고, 입력된 디지털데이터에 따라 상기 분압회로의 분압된 전압을 아날로그출력전압으로서 출력하는 디지털/아날로그 변환기로 이루어지고, 상기 제1 디지털/아날로그 변환기의 분압회로와 상기 제2디지털/아날로그 변환기의 분압회로는 겸용된다.

또한, 제4발명에 따른 디지털/아날로그 변환기는, 제1과 제2 및 제3 중 어느 하나의 발명에 따른

디지털/아날로그 변환기에 있어서, 상기 감쇠기와 상기 아날로그 가산기가 단일 회로로 구성되고, 이 단일 회로가 제1 및 제2디지털/아날로그 변환기의 아날로그출력을 각각 입력하는 제1 및 제2전압풀로워 앰프와, 아날로그 가산용 오피앰프, 이 오피앰프의 출력과 부입력단자를 접속하는 귀환용 제1저항소자, 상기 오피앰프의 부입력단자와 제2기준전압 사이에 병렬로 접속된 제2 및 제3저항소자, 상기 오피앰프의 정입력단자와 상기 제2전압풀로워 앰프의 출력단자 사이에 접속된 제4저항소자, 상기 오피앰프의 정입력단자와 제2기준전압 사이에 접속된 제6저항소자를 구비하여 구성되고, 상기 제2와 제4 및 제6저항소자의 저항값을 동일한 것으로 함과 더불어 상기 제3 및 제5의 저항소자의 저항값을 동일한 것으로 하고, 더욱이 상기 제2와 제4 및 제6저항소자의 저항값과, 상기 제3과 제5저항소자의 저항값을 상위 M비트의 비트 수에 따른 저항비로 하는 것에 의해 상기 감쇠기의 감쇠량을 결정하며, 상기 오피앰프의 출력을 상기 제1디지털/아날로그 변환기의 아날로그출력과 감쇠된 상기 제2디지털/아날로그 변환기의 아날로그출력을 가산한 아날로그출력으로 한다.

또한, 제5발명에 따른 디지털/아날로그 변환기는, 제1과 제2 및 제3 중 어느 하나의 발명에 따른 디지털/아날로그 변환기에 있어서, 상기 감쇠기와 상기 아날로그 가산기가 단일 회로로 구성되고, 이 단일 회로가 상기 제1 및 제2디지털/아날로그 변환기의 아날로그출력을 각각 입력하는 제1 및 제2의 전압풀로워 앰프와, 제2기준전압을 입력하는 제3전압풀로워 앰프, 아날로그 가산용 오피앰프, 이 오피앰프의 출력과 부입력단자를 접속하는 귀환용 제1저항소자, 상기 오피앰프의 부입력단자와 접지전위 사이에 접속된 제2저항소자, 상기 오피앰프의 부입력단자와 상기 제3의 전압풀로워 앰프의 출력단자 사이에 접속된 제3저항소자, 상기 오피앰프의 정입력단자와 상기 제1전압풀로워 앰프의 출력단자 사이에 접속된 제4저항소자, 상기 오피앰프의 정입력단자와 상기 제2의 전압풀로워 앰프의 출력단자 사이에 접속된 제5저항소자 및, 상기 오피앰프의 정입력단자와 상기 제3의 전압풀로워 앰프의 출력단자 사이에 접속된 제6의 저항단자를 구비하여 구성되고, 상기 제2와 제4 및 제6저항소자의 저항값을 동일한 것으로 함과 더불어 상기 제3과 제5저항소자의 저항값을 동일한 것으로 하고, 더욱이 상기 제2와 제4 및 제6저항소자의 저항값과 상기 제3과 제5저항소자의 저항값을 상위 M비트의 비트 수에 따른 저항비로 하는 것에 의해 상기 감쇠기의 감쇠량을 결정하며, 상기 오피앰프의 출력을 상기 제1디지털/아날로그 변환기의 아날로그출력과 감쇠된 상기 제2디지털/아날로그 변환기의 아날로그출력을 가산한 아날로그출력으로 한다.

또한, 제6의 발명에 따른 디지털/아날로그 변환기는, 제1과 제2 및 제3 중 어느 하나의 발명에 따른 디지털/아날로그 변환기에 있어서, 상기 감쇠기와 상기 아날로그 가산기가 단일 회로로 구성되고, 이 단일 회로가 아날로그 가산용 오피앰프와, 이 오피앰프의 출력과 부입력단자를 접속하는 귀환용 제1용량소자, 이 제1용량소자와 병렬로 접속된 스위치소자, 상기 오피앰프의 부입력단자와 상기 제1디지털/아날로그 변환기의 아날로그 출력단자 사이에 접속된 제2의 용량소자 및, 상기 오피앰프의 부입력단자와 제2디지털/아날로그 변환기의 아날로그 출력단자 사이에 접속된 제3의 용량소자를 구비하여 구성되고, 상기 오피앰프의 정입력단자를 접지전위로 접지하고, 더욱이 상기 제2의 용량소자의 용량값과 상기 제3의 용량소자의 용량값을 상위 M비트의 비트 수에 따른 용량비로 하는 것에 의해 상기 감쇠기의 감쇠량을 결정하며, 상기 오피앰프의 출력을 상기 제1디지털/아날로그 변환기의 아날로그출력과 감쇠된 상기 제2디지털/아날로그 변환기의 아날로그출력을 가산한 아날로그출력으로 한다.

(실시예)

이하, 예시도면을 참조하여 본 발명에 따른 1실시예를 상세히 설명한다.

도 1은 본 발명의 1실시예의 구성을 나타낸 회로도로서, 본 회로에서는 N비트의 디지털입력 데이터를 상위 M비트와 하위 (N-M)비트로 분할하고, 상위 M비트를 상위 비트용 디지털/아날로그 변환기(32)에 입력하며, 하위(N-M)비트를 하위비트용 디지털/아날로그 변환기(35)에 입력한다.

상위비트용 디지털/아날로그 변환기(32)는 제1기준전압 VR1(30)과 제2기준전압 VR2(31) 사이를 2의 M승개의 단위저항(Rm)을 직렬로 접속한 상위용 저항스트링스(24-29)와, 제1기준전압 VR1(30)과 제2기준전압 VR2(31)의 사이를 2의 M승분의 1로 분할한 각 전압을 취출하기 위한 2의 M승개의 스위치회로(23) 및, 입력된 M비트의 디지털 데이터에 대응하는 스위치를 2의 M승개 중으로부터 선택하기 위한 선택신호를 출력하는 디코더(22)로 이루어져 있다.

또한, 하위비트용 디지털/아날로그 변환기(35)는 제1기준전압 VR1(30)과 제2기준전압 VR2(31) 사이를 2의 (N-M)개의 단위저항(Rs)을 직렬로 접속한 하위용 저항스트링스(24-29)와, 제1기준전압 VR1(30)과 제2기준전압 VR2(31) 사이를 2의 (N-M)승분의 1로 분할한 각 전압을 취출하기 위한 2의 (N-M)승개의 스위치회로(34)와, 입력된 (N-M)비트의 디지털데이터에 대응하는 스위치를 2의 (N-M)승개 중으로부터 선택하기 위한 선택신호를 출력하는 디코더(33)로 이루어져 있다.

또한, 상위비트용 디지털/아날로그 변환기(32)로부터 M비트 분해능의 아날로그출력이 출력되고, 하위비트용 디지털/아날로그 변환기(35)로부터 (N-M)비트 분해능의 아날로그출력이 출력된다. 하위비트용 아날로그출력을 감쇠기(36)에 의해 상위비트용 아날로그출력에 대해 2의 M승분의 1로 감쇠한 아날로그출력과, 상위비트용 아날로그출력을 아날로그 가산기(37)에 의해 아날로그 가산하는 것에 의해 N비트 분해능의 아날로그출력을 얻을 수 있다.

또한, 본 실시형태에서는 상위비트용 저항스트링스와 하위비트용 저항스트링스를 동일한 기준전압 VR1과 VR2의 사이를 각각의 비트 수에 따라 분할하고 있다. 양자의 차이는 분할 수가 다를 뿐이기 때문에 상위비트용과 하위비트용 저항스트링스를 겸용하는 것이 가능하다. 이에 의해, 상위 M비트와 하위(N-M)비트 중 어느 하나의 수가 작은 쪽의 비트 수 분의 저항스트링스를 삭제하는 것이 가능하다. 이 저항스트링스의 삭제는 디지털/아날로그 변환기의 회로규모를 삭감하는 효과가 있고, 저비용화에 기여할 수 있다.

예컨대, 12비트 분해능의 아날로그출력을 얻는 경우에, 종래예에서는 상위 6비트와 하위 6비트로 분할되어 종래예와 같은 구성으로 한 경우에는 2의 6승(=64)×2(상위와 하위분)개의 단위저항과 동일한 수의

스위치의 개수로 구성할 수 있다.

이에 대해, 본 실시형태에서는 종래예보다 2의 6승(=64)개의 단위저항을 삭제할 수 있다. 또한, 상위 7비트와 하위 5비트로 분할한 경우에는 종래예보다 2의 5승(=32)개의 단위저항을 삭제하는 것이 가능하다. 이 경우, 하위비트용 스위치의 접속은 상위비트용이 단위저항(R_m)마다 접속되는 것에 대해, 단위저항(R_m)의 4배 간격으로 접속되는 것으로 된다. 즉, 하위비트용 단위저항(R_s)은 $R_s=R_m \times 4$ 로 된다.

더욱이, 본 실시형태에서는 상위비트용 저항스트링스와 하위비트용 저항스트링스를 겸용하고 있기 때문에 실시예의 디지털/아날로그 변환기의 동작속도는 상위와 하위의 겸용 저항스트링스의 출력임피던스에 의해 제한되는 것으로 된다. 이 겸용의 저항스트링스의 출력임피던스는 용이하게 낮추는 것이 가능하기 때문에, 동작속도의 고속화가 용이하다는 이점이 있다.

도 2는 본 실시형태에 따른 하위비트용 디지털/아날로그 변환기(35)의 아날로그출력을 2의 M승분의 1로 감쇠하는 감쇠기(36)와 아날로그 가산기(37)를 단일 회로로 구성한 제1예를 나타내고 있다. 41~46은 저항이고, 도면 중의 K값이 감쇠비를 나타내며, K=2의 M승이다. 또한, 40은 가산용 오피앰프이다. 이와 같은 구성에 의하면, 디지털/아날로그 변환기의 아날로그출력인 VOUT는,

$$VOUT=VR2+VAM-VR2+(VAS-VR2)/K$$

$$=VAM+(VAS-VR2)/K$$

의 관계식으로 된다. 도면중의 VAM은 상위비트용 디지털/아날로그 변환기의 아날로그 출력전압값을 나타내고, VAS는 하위비트용 디지털/아날로그 변환기의 아날로그 출력전압값을 나타내고 있다. VAM과 VAS가 입력시키는 아날로그 가산기의 입력임피던스가 낮기 때문에, 버퍼용 전압폴로워 앰프(38,39)가 필요하게 된다. 또한, 아날로그출력(VOUT)에도 임피던스가 낮은 부하가 접속되는 경우에는 출력버퍼용 전압폴로워 앰프를 부가할 필요성이 있다. 이 관계식에 의해 N비트 분해능의 아날로그출력(VOUT)을 얻을 수 있다.

본 실시형태에서는, 상위비트와 하위비트의 감쇠비는 저항값비 $R:R \times K$ 로 결정되기 때문에, 저항값(R)과 저항값($R \times K$)의 상대적인 비의 정밀도를 유지하면, 리니어리티 성능이 양호한 디지털/아날로그 변환기를 실현할 수 있다.

따라서, 종래예와 같은 조정용 저항(R_c)의 조정이나, 제조 후의 트리밍 등의 번잡한 처리를 행할 필요성이 없고, 리니어리티 성능이 좋은 디지털/아날로그 변환기를 실현할 수 있다.

도 3은 본 발명에 따른 하위비트용 디지털/아날로그 변환기의 아날로그출력을 2의 M승분의 1로 감쇠하는 감쇠기(36)와 아날로그 가산기(37)를 단일 회로로 구성한 제2예를 나타내고 있다. 51~56은 저항이고, 제1예와 마찬가지로 도면 중의 K값이 감쇠비를 나타내며, K=2의 M승으로 된다. 또한, 50은 가산용 오피앰프이다. 이와 같은 구성에 의하면, 디지털/아날로그 변환기의 아날로그출력인 VOUT는,

$$VOUT=VR2+VAM-VSS+(VAS-VR2)/K$$

의 관계식으로 된다. 제1예와 다른점은 제2기준전압($VR2$)에도 버퍼용 전압폴로워 앰프(49)를 사용한 점과, 가산용 오피앰프(50)의 부입력단자로 접속되는 입력용 저항(R)을 접지전위(VSS)에 접속한 점이다.

제2기준전압($VR2$)에도 버퍼용 전압폴로워 앰프(49)를 사용한 것은 제2기준전압($VR2$)을 전원(VDD)과 접지전위(VSS) 사이의 저항스트링스의 중간전위를 사용하는 경우에는 가산용 오피앰프(50)의 입력임피던스가 낮기 때문에 버퍼용 전압폴로워 앰프가 필요로 되기 때문이다.

또한, 관계식 중의 $(VAS-VR2)/K$ 의 항보다 버퍼용 전압폴로워 앰프에 출력오프셋이 발생한 경우에도 VAS와 $VR2$ 양쪽의 오프셋 전압이 상호 상쇄되기 때문에, 제1예 보다도 리니어리티 성능을 개선할 수 있다.

다음에, 가산용 오피앰프(50)의 부입력단자에 접속되는 입력용 저항(R)을 접지전위(VSS)로 접속하는 것으로, 관계식으로부터 아날로그출력(VOUT)에 전압($VR2$)분의 오프셋을 인가하는 것이 가능하게 된다. 즉, 저항스트링스에서 사용하고 있는 아날로그 출력범위와 디지털/아날로그 변환기의 아날로그 출력범위를 변화시키는 것이 가능하다.

예컨대, 저항스트링스의 아날로그 출력범위를 0.75V~2.75V($2V_p-p$:1.75V센터)로 하면, $VR2=0.75V$ 로 되고, 관계식으로부터 디지털/아날로그 변환기의 아날로그 출력범위는 1.5~3.5V($2V_p-p$:2.5V센터)로 된다.

이에 의해, 버퍼용 전압폴로워 앰프이나 스위치회로의 아날로그특성에 더하여 최적의 동작범위가 있는 경우에 저항스트링스의 아날로그 출력범위를 그 최적 동작범위에 일치시켜 디지털/아날로그 변환기의 아날로그 출력범위는 본래의 사양상의 범위에 일치시키는 것이 가능하게 된다. 이는 버퍼용 전압폴로워 앰프이나 스위치회로를 아날로그특성상의 최적인 동작범위에서 사용할 수 있기 때문에 디지털/아날로그 변환기의 아날로그출력의 리니어리티 성능을 개선할 수 있다.

또한, 아날로그 가산용 출력단자와 부입력단자를 연결하여 귀환저항(R)의 저항값을 입력저항(R)에 대하여 G배한 경우에는 아날로그 가산기로 G배의 이득을 얻게하는 것이 가능하다.

예컨대, 귀환저항(R)의 저항값을 입력저항(R)에 대하여 1.5배의 값으로 하면, 저항스트링스의 아날로그 출력 진폭이 $2V_o-p$ 인 경우에 디지털/아날로그변환기의 아날로그출력 진폭은 $3V_p-p$ 로 된다.

도 4는 본 실시형태에 따른 하위비트용 디지털/아날로그 변환기(34)의 아날로그출력을 2의 M승분의 1로 감쇠하는 감쇠기(36)와 아날로그 가산기(37)의 제3예를 나타낸 도면이다. 이 경우에는 제1 및 제2예가 저항가산을 행하고 있는 것에 대해 용량에 의한 용량가산을 행하고 있다. 58과 59 및 60은 용량소자이고, 도면 중의 K값이 감쇠비를 나타내며, K=2의 M승으로 된다. 61은 스위치이고, 57은 가산용 오피앰프이다. 이와 같은 구성에 의하면, 디지털/아날로그 변환기의 아날로그출력으로 되는 VOUT는

$$V_{OUT} = (V_{AM} \times K + V_{AS}) / (1 + K)$$

의 관계식으로 된다. 이 경우, 가산용 오피앰프(57)의 입력임피던스가 높기 때문에, 저항가산방식에서 필요로 했던 버퍼용 전압플로워 앰프를 사용하지 않고 구성할 수 있는 이점이 있다.

또한, 가산용 오피앰프(57)의 출력단자와 부입력단자를 연결하고 있는 귀환용량 $C \times (1+K)$ 의 용량값을 입력용량($C \times K$)에 대해 G배한 경우에는, 가산용 오피앰프(57)에 1/G배의 이득을 얻도록 하는 것이 가능하다.

상기한 바와 같이, 본 실시형태에서는 작은 비트 수의 저분해능의 저항분압방식의 복수의 디지털/아날로그 변환기의 아날로그출력을 가중치를 취한 것에다가 가산하여 하나의 아날로그 데이터를 출력시키고 있다. 그리고, 작은 비트수의 분해능의 저항분압방식의 디지털/아날로그 변환기를 복수개 이용하여 많은 비트 수의 고분해능의 디지털/아날로그 변환기를 실현하는 것이다. 또한, 축차비교방식의 아날로그/디지털 변환기에 내장되는 디지털/아날로그 변환기에도 이용할 수 있다.

더욱이, 상기된 실시형태에서는 하위비트용 아날로그출력을 감소기에 의해 감소시켜 상위비트용 아날로그출력과 아날로그 가산하도록 하였지만, 그 대신 상위비트용 아날로그출력을 송압회로에 의해 송압하여 하위비트용 아날로그출력과 아날로그 가산하도록 하여도 된다. 이를 위해서는 도 2에 나타낸 K의 값을 1/K로 치환하면 송압이 가능하게 된다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의하면, 하위비트용 디지털/아날로그 변환기의 아날로그출력을 감소기에 의해서 감소시킨 다음 상위비트용 아날로그출력과 아날로그 가산하면서 감소율은 저항비 또는 용량비로 조정될 수 있기 때문에, LSI 등에 탑재된 경우에도 디지털/아날로그 변환기의 아날로그출력의 리니어리티 성능을 개선하는 것이 가능하다.

또한, 상위비트용 저항스트링스와 하위비트용 저항스트링스를 겸용하게 되므로, 겸용된 부분의 저항스트링스를 삭감하는 것이 가능하여 저비용화에 기여하는 것이 가능하다.

더욱이, 이 겸용 저항스트링스의 출력임피던스는 용이하게 낮추는 것이 가능하기 때문에 동작속도의 고속화를 실현할 수 있다.

(57) 청구의 범위

청구항 1

N비트의 입력데이터의 상위 M비트가 입력되어 아날로그출력을 출력하는 제1의M비트 디지털/아날로그 변환기와,

하위 (N-M)비트가 입력되어 아날로그출력을 출력하는 제2(N-M)비트 디지털/아날로그 변환기,

이 제2(N-M)비트 디지털/아날로그 변환기의 아날로그출력을 2의 M승분의 1로 감소하는 감소기 및,

상기 제1M비트 디지털/아날로그 변환기의 아날로그출력과 상기 감소기에 의해 감소된 제2(N-M)비트 디지털/아날로그 변환기의 아날로그출력을 가산하는 아날로그 가산기를 구비하여 구성되고,

상기 아날로그 가산기의 가산출력을 아날로그출력으로 하는 것을 특징으로 하는 디지털/아날로그 변환기

청구항 2

제1항에 있어서, 상기 제1 또는 제2디지털/아날로그 연산기가,

입력된 디지털데이터를 디코딩하는 디코더와,

제1기준전압과 제2기준전압 사이에 입력데이터의 비트 수에 따른 최소 분해능의 전압으로 분압하는 단위저항의 직렬접속으로 구성된 분압회로 및,

이 분압회로의 각 분압출력에 접속되어 상기 디코더의 출력데이터에 따라 분압된 전압을 취출하는 스위치회로를 구비하여 구성되고,

입력된 디지털 데이터에 따라 상기 분압회로의 분압된 전압을 아날로그출력전압으로서 출력하는 디지털/아날로그 변환기인 것을 특징으로 하는 디지털/아날로그 변환기.

청구항 3

제1항에 있어서, 상기 제1 및 제2디지털/아날로그 변환기가,

입력된 디지털 데이터를 디코딩하는 디코더와,

제1기준전압과 제2기준전압 사이에서 입력데이터의 비트 수에 따른 최소 분해능의 전압으로 분압하는 단위저항의 직렬접속으로 구성된 분압회로 및,

이 분압회로의 각 분압출력에 접속되고, 상기 디코더의 출력데이터에 따라 분압된 전압을 취출하는 스위치회로를 구비하여 구성되고,

입력된 디지털데이터에 따라 상기 분압회로의 분압된 전압을 아날로그출력전압으로서 출력하는 디지털/아날로그 변환기이고,

상기 제1디지털/아날로그 변환기의 분압회로와 상기 제2디지털/아날로그 변환기의 분압회로가 겸용되어

있는 것을 특징으로 하는 디지털/아날로그 변환기.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 감쇠기와 상기 아날로그 가산기가 단일 회로로 구성되고,

이 단일 회로가,

상기 제1 및 제2디지털/아날로그 변환기의 아날로그출력을 각각 입력하는 제1 및 제2의 전압플로워 앰프와,

아날로그 가산용 오피앰프,

이 오피앰프의 출력과 부입력단자를 접속하는 귀환용 제1저항소자,

상기 오피앰프의 부입력단자와 제2기준전압 사이에 병렬로 접속된 제2 및 제3저항소자,

상기 오피앰프의 정입력단자와 상기 제1전압플로워 앰프의 출력단자 사이에 접속된 제4저항소자,

상기 오피앰프의 정입력단자와 상기 제2전압플로워 앰프의 출력단자의 사이에 접속된 제5저항소자 및,

상기 오피앰프의 정입력단자와 제2기준전압 사이에 접속된 제6저항소자를 구비하여 구성되고,

상기 제2와 제4 및 제6저항소자의 저항값을 동일한 것으로 함과 더불어, 상기 제3 및 제5저항소자의 저항값을 동일하게 한 것으로 하고, 더욱이 상기 제2와 제4 및 제6저항소자의 저항값과 상기 제3과 제5저항소자의 저항값을 상위 M비트의 비트 수에 따른 저항비로 하는 것에 의해 상기 감쇠기의 감쇠량을 결정하며, 상기 오피앰프의 출력을 상기 제1디지털/아날로그 변환기의 아날로그출력과 감쇠된 상기 제2디지털/아날로그 변환기의 아날로그출력을 가산한 아날로그출력으로 한 것을 특징으로 하는 디지털/아날로그 변환기.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 감쇠기와 상기 아날로그 가산기가 단일 회로로 구성되고,

이 단일 회로가,

상기 제1 및 제2디지털/아날로그 변환기의 아날로그출력을 각각 입력하는 제1 및 제2의 전압플로워 앰프와,

제2기준전압을 입력하는 제3전압플로워 앰프,

아날로그 가산용 오피앰프,

이 오피앰프의 출력과 부입력 단자를 접속하는 귀환용 제1저항소자,

상기 오피앰프의 부입력단자와 접지전위 사이에 접속된 제2저항소자,

상기 오피앰프의 부입력단자와 상기 제3의 전압플로워 앰프의 출력단자 사이에 접속된 제3저항소자,

상기 오피앰프의 정입력단자와 상기 제1전압플로워 앰프의 출력단자 사이에 접속된 제4저항소자,

상기 오피앰프의 정입력단자와 상기 제2의 전압플로워 앰프의 출력단자 사이에 접속된 제5저항소자 및,

상기 오피앰프의 정입력단자와 상기 제3의 전압플로워 앰프의 출력단자 사이에 접속된 제6저항소자를 구비하여 구성되고,

상기 제2와 제4 및 제6저항소자의 저항값을 동일한 것으로 함과 더불어 상기 제3과 제5저항소자의 저항값을 동일한 것으로 하고, 더욱이 상기 제2와 제4 및 제6저항소자의 저항값과 상기 제3과 제5저항소자의 저항값을 상위 M비트의 비트 수에 따른 저항비로 하는 것에 의해 상기 감쇠기의 감쇠량을 결정하며, 상기 오피앰프의 출력을 상기 제1디지털/아날로그 변환기의 아날로그출력과 감쇠된 상기 제2디지털/아날로그 변환기의 아날로그출력을 가산한 아날로그출력으로 한 것을 특징으로 하는 디지털/아날로그 변환기.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 감쇠기와 상기 아날로그 가산기가 단일 회로로 구성되고,

이 단일 회로가,

아날로그 가산용 오피앰프와,

이 오피앰프의 출력과 부입력단자를 접속하는 귀환용 제1용량소자,

이 제1용량소자와 병렬로 접속된 스위치소자,

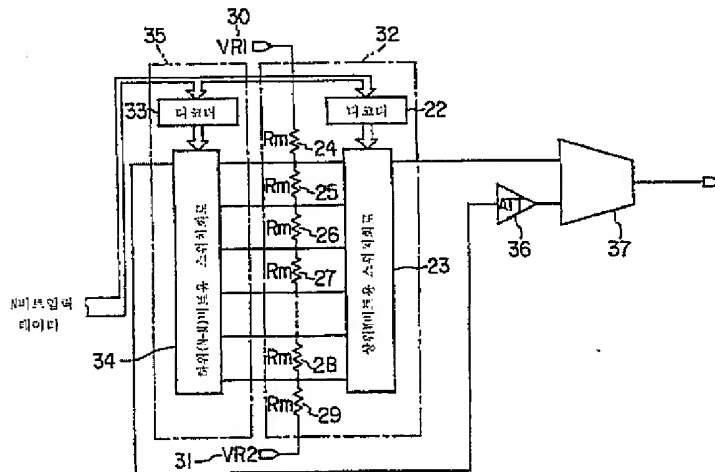
상기 오피앰프의 부입력단자와 상기 제1디지털/아날로그 변환기의 아날로그 출력단자 사이에 접속된 제2의 용량소자 및,

상기 오피앰프의 부입력단자와 제2디지털/아날로그 변환기의 아날로그 출력단자 사이에 접속된 제3의 용량소자를 구비하여 구성되고,

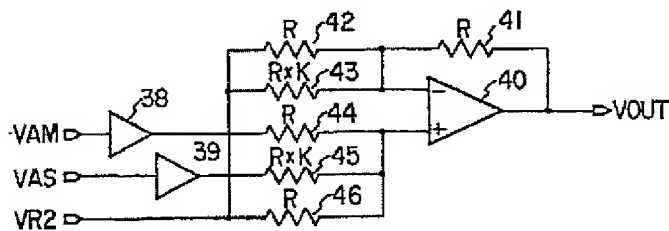
상기 오피앰프의 증폭력단자를 접지전위로 접지하고, 더욱이 상기 제2용량소자의 용량값과 상기 제3용량소자의 용량값을 상위 M비트의 비트 수에 따른 용량비로 하는 것에 의해 상기 감쇠기의 감쇠량을 결정하며, 상기 오피앰프의 출력을 상기 제1디지털/아날로그 변환기의 아날로그출력과 감쇠된 상기 제2디지털/아날로그 변환기의 아날로그출력을 가산한 아날로그출력으로 한 것을 특징으로 하는 디지털/아날로그 변환기.

도면

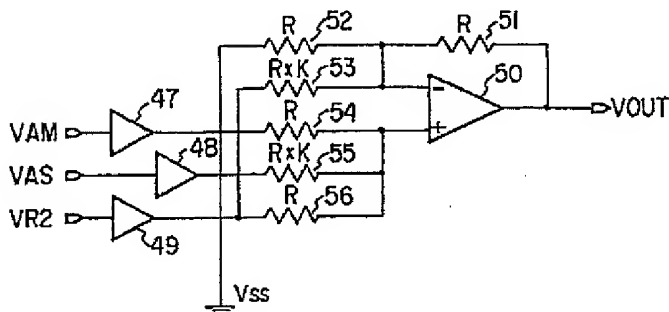
도면1



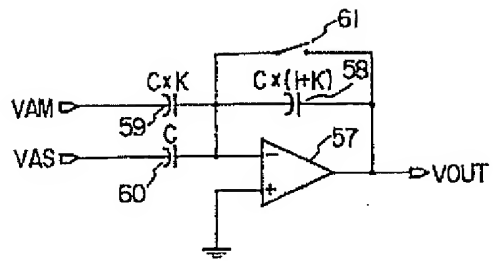
도면2



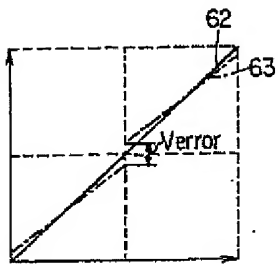
도면3



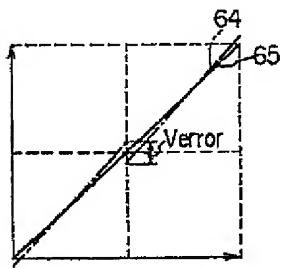
도면4



도면5a



도면5b



도면6

